

PCT

WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro



INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation ⁶ : G06F 15/78, H03K 19/177		A1	(11) Internationale Veröffentlichungsnummer: WO 98/26356
		(43) Internationales Veröffentlichungsdatum:	18. Juni 1998 (18.06.98)
(21) Internationales Aktenzeichen: PCT/DE97/02949		(81) Bestimmungsstaaten: AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CU, CZ, DE, DK, EE, ES, FI, GB, GE, GH, GM, HU, ID, IL, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, UA, UG, US, UZ, VN, YU, ZW, ARIPO Patent (GH, GM, KE, LS, MW, SD, SZ, UG, ZW), curasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches Patent (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI Patent (BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG).	
(22) Internationales Anmeldedatum: 9. Dezember 1997 (09.12.97)			
(30) Prioritätsdaten: 196 51 075.9 9. Dezember 1996 (09.12.96) DE			
(71) Anmelder (für alle Bestimmungsstaaten ausser US): PACT INFORMATIONSTECHNOLOGIE GMBH [DE/DE]; Thele- mannstrasse 15, D-81545 München (DE).			
(72) Erfinder; und (75) Erfinder/Anmelder (nur für US): VORBACH, Martin [DE/DE]; (DE) MÜNCH, Robert [DE/DE]; Hagebutten- weg 36, D-76149 Karlsruhe (DE).		Veröffentlicht Mit internationalem Recherchenbericht. Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist. Veröffentlichung wird wiederholt falls Änderungen eintreffen.	

(54) Title: UNIT FOR PROCESSING NUMERIC AND LOGICAL OPERATIONS, FOR USE IN PROCESSORS (CPUS) AND IN MULTICOMPUTER SYSTEMS

(54) Bezeichnung: EINHEIT ZUR VERARBEITUNG VON NUMERISCHEN UND LOGISCHEN OPERATIONEN, ZUM EINSATZ IN PROZESSOREN (CPUs), MEHRRECHNERSYSTEMEN

(57) Abstract

The invention relates to a unit which is controlled by a logical load unit (PLU), and which can be configured or reconfigured during running time, according to the following configuration: the invention provides for a programmable arithmetic logic unit (EALU), whose function and network connection are programmed in registers in which a plurality of data can be processed without reprogramming of the processing elements (PAE). To control the arithmetic logic unit (EALU), the invention provides for a state machine (SM-UNIT); it further provides registers for each operand (O-REG) and the result (R-REG), which are designed in part to act as shift registers. Feedback of the data of the results register takes place via a multiplexer (R20-MUX) to one of the inputs of the EALU. A bus multiplexing unit (BM-UNIT) makes it possible for the data to be taken from a bus system or for the result to be fed into a bus system, whereby the bus unit can send data to several receivers and synchronisation, even of several receivers, takes place automatically. The registers prevent the data processing system in the EALU to have access to the bus, so that each PAE can be considered an independent unit in that the configuration or reconfiguration of a PAE does not disturb the data originators and receivers or the independent PAEs.

